روش‌های کاهش مصرف توان در نمایشگرهای سیار در استاندارد کدگذاری ویدئویی با کارایی بالا

یعقوب صابری[۱]، سید محمد علی زنجانی[۲،۴*]، مصطفی عبدالهیان دهکردی[۳]

۱- دانشکده مهندسی کامپیوتر، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران، yaghoubsaberi880@gmail.com

*۲- دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران، sma_zanjani@pel.iaun.ac.ir

۳- دپارتمان مهندسی برق و کامپیوتر، دانشکده فنی پسران شهرکرد، دانشگاه فنی و حرفه‌ای استان چهارمحال و بختیاری، ایران، mdehkordi@tvu.ac.ir

۴- مرکز تحقیقات ریزشبکه‌های هوشمند، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران.

تاریخ دریافت: ۱۳۹۹/۱۱/۱۰ تاریخ پذیرش: ۱۴۰۰/۲/۲۰

چکیده: مصرف توان نمایشگرهای سیار لپ‌تاپ‌ها، تبلت‌ها و تلفن‌های همراه، با توجه به محدود بودن ظرفیت باتری آن‌ها، یکی از مشکلاتی است که کاربران این دستگاه‌ها با آن روبه‌رو هستند. برخی از فن‌آوری‌های نوین سخت‌افزاری مانند مقیاس‌بندی پویای ولتاژ و فرکانس (DVFS) در بعضی موارد باعث کاهش مصرف این نمایشگرها شده‌اند، ولی هنوز هم مشکلات زیادی در زمینه DVFS وجود دارد. استاندارد کدگذاری ویدئویی با کارآیی بالا موسوم به کدگذاری تصویری با کارایی بالا (HEVC) آخرین و بهترین روش فشرده‌سازی ویدئو است که در زمان تصویربرداری و نمایش ویدئو با کیفیت بالا برای فرمت‌هایی مانند 4K و 8K استفاده می‌شود. با تمام مزیت‌هایی که HEVC دارد، یکی از عیوب آن مصرف توان بالا در زمان رمزکردن و کشف رمز ویدئو است که باید با ارائه‌ی راه‌کارهایی آن را به حداقل رساند. در این مقاله، آخرین روش‌ها در زمینه‌ی کاهش مصرف توان در نمایشگرهای سیار مورد بررسی و مقایسه قرار گرفته است و پیشنهادهایی برای بهبود آن ارائه شده است. کاهش مصرف توان در این روش‌ها گاهی تا 20 nj/px برای فرمت‌های ویدئو نیز می‌رسد.

واژه‌های کلیدی: مصرف توان، فشرده‌سازی، HEVC، ظرفیت باتری

۱- مقدمه

امروزه کاربرد نمایشگرهای سیار، بسیار زیاد شده است اما خالی شدن شارژ این ادوات، یکی از شایع‌ترین مشکلات دارندگان آنها است [۱،۲]. به عنوان مثال، قسمت باتری در تنظیمات تلفن همراه بیان می‌کند که تقریباً در بیشتر موارد، صفحه نمایش، بالاترین مقدار مصرف باتری را به خود اختصاص می‌دهد و بقیه‌ی برنامه‌ها با فاصله‌ی نسبتاً زیادی از آن قرار دارند. علت اصلی این است که فناوری ساخت باتری همگام با سایر فناوری‌ها، مثل پردازنده‌ها، نمایشگرها، سامانه‌های نانوالکترونیک و مواردی از این قبیل پیشرفت نکرده است. البته اخیراً بیک کیم و جی کوان از دانشگاه میسوری در زمینه‌ی باتری‌های توان بالا، از فرآیند بتاولتاییک یا تبدیل توان رادیولیتیک به کمک پلاسمون در محلول‌های آبی برای تولید الکتریسیته استفاده کرده‌اند و ادعا کرده‌اند این کار مسیر جدیدی را برای توسعه منابع توان نسل بعدی معرفی می‌کند [۳،۴].

مطابق آمار منتشر شده از طرف موسسه بین المللی آمار (ISI) در سال ۲۰۲۰، حدود ۶۴ درصد از داده‌های جابجا شده از طریق اینترنت را فایل‌های ویدئویی به خود اختصاص داده‌اند و با توجه به اینکه آخرین روش فشرده‌سازی ویدئو، استاندارد کدگذاری ویدئویی با کارایی بالا[۱]

[Downloaded from jeps.dezful.iau.ir on 2026-11-13]

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021

(HEVC) است، می‌توان ادعا کرد که بیشتر ویدئوها با این استاندارد تولید شده و از طریق اینترنت جابجا و با استفاده از سیستم‌های مختلفی مانند کامپیوترهای شخصی، لپ‌تاپ‌ها، تبلت‌ها و گوشی‌های تلفن همراه مورد استفاده قرار می‌گیرند [۵،۶]. همچنین می‌توان ادعا کرد که بیشتر دستگاه‌هایی که برای نمایش این نوع ویدئو مورد استفاده قرار می‌گیرند، دستگاه‌های سیار هستند و در این دستگاه‌ها، مشکل عمده‌ای در خصوص میزان مصرف باتری و تامین انرژی مورد نیاز این دستگاه‌ها وجود دارد که در این مقاله سعی شده جدیدترین روش‌هایی که برای رفع این مشکل ارائه گردیده، مورد بررسی قرار گیرد [۷،۸].

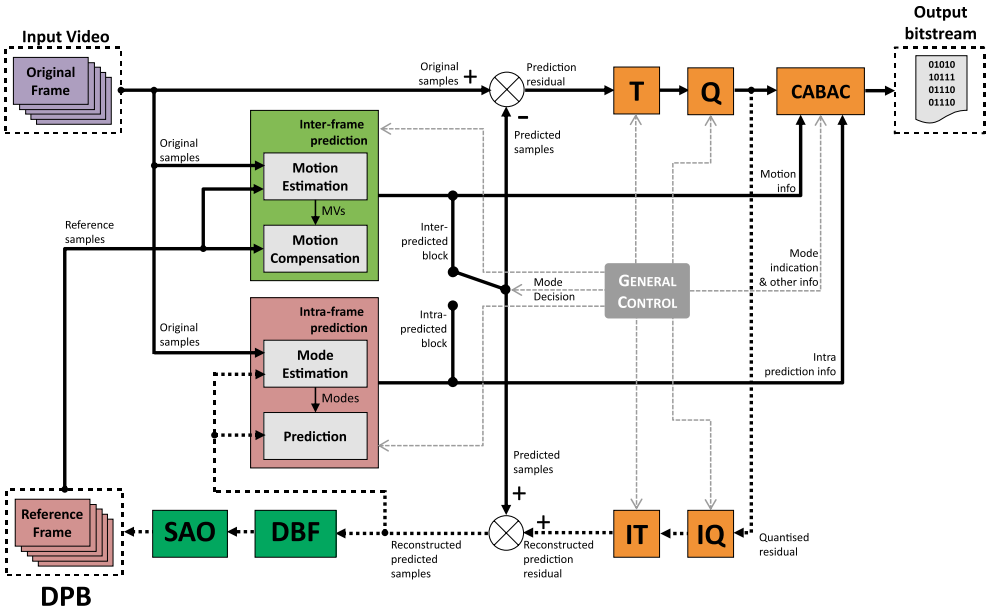
لذا در ادامه این مقاله در بخش ۲، کدگذاری ویدئویی با کارایی بالا (HEVC) و پیش‌گویی درون قابی و بین قابی تشریح می‌شود. کارهای انجام‌شده در زمینه‌ی کاهش مصرف توان در بخش ۳ بیان می‌شوند. در بخش ۴ روش‌های مختلف کاهش توان، مقایسه و نتایج، تحلیل می‌شوند. درنهایت، نتیجه‌گیری در بخش ۵ ارائه خواهد شد.

۲- معرفی کدگذاری ویدئویی با کارآیی بالا

برای درک بهتر روش پیشنهادی، استاندارد فشرده‌سازی HEVC و انواع پیشگویی‌های مورد استفاده در آن مرور می‌شود؛ هرچند توضیحات بیشتر در مراجع [۹] و [۱۰] بیان شده است. کدگذاری ویدئویی با کارایی بالا (HEVC)، آخرین و جدیدترین استاندارد فشرده‌سازی ویدئو در زمان نوشتن این مقاله است. در سال ۲۰۱۰ میلادی گروه JCT-VC استاندارد سازی روش نوین فشرده سازی ویدئو، با نام پروژه HEVC را شروع کردند که در سال ۲۰۱۳ آخرین پیش‌نویس و مدل آزمایشی آن با نام HM انتشار یافت.

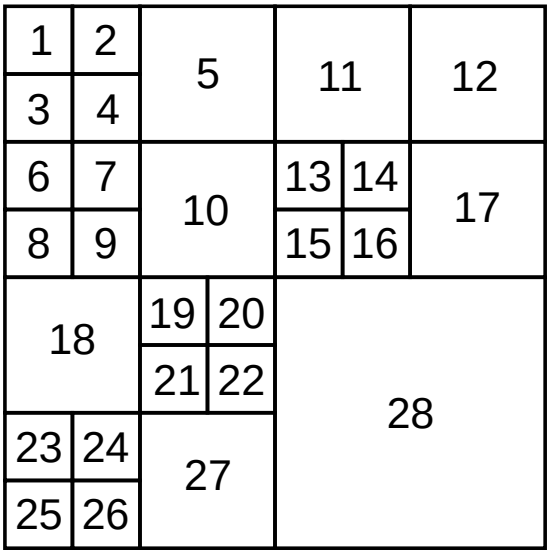
با اعمال این الگوریتم‌ها، میزان فشرده‌سازی ویدئو، حدود ۵۰ درصد بیشتر از استاندارد قبلی یعنی H.264/AVC به‌دست آمد [۱۱]. شکل (۱) نمودار کدکردن و فرآیند فشرده سازی فریم‌ها در استاندارد ویدئوی HEVC را نشان می‌دهد [۱۲]. رمز گذار، یک بلوک را پیش‌گویی می‌کند و آن را از بلوک اصلی تفریق می‌کند تا بلوک مانده به دست آید، سپس بر روی بلوک مانده عمل تبدیل و چندی‌شدن انجام می‌شود. به‌طور موازی، عکس چندی‌شدن و عکس تبدیل بر روی نتیجه، اعمال می‌شود تا ماتریس مانده بازسازی شود. به ماتریس مانده‌ی باز سازی شده، بلوک پیش‌گویی اضافه می شود تا بلوک اصلی باز سازی شود و این بلوک جهت پیش‌گویی‌های بعدی ذخیره می شود. استاندارد HEVC از دو نوع پیش‌گویی درون‌قابی و بین‌قابی جهت فشرده‌سازی استفاده می‌کند. در استاندارد HEVC هر تصویر به بلوک‌های ۶۴×۶۴ پیکسل به نام واحد درخت کدگذاری[۳] (CTU) تقسیم می شود، سپس این CTUها به واحدهای کدکننده CU در یک ساختار بازگشتی درخت چهارتایی شکسته می‌شود، به‌طوری که CTU به‌عنوان ریشه‌ی این درخت شناخته می‌شود و هر واحد کدکننده شامل یک بلوک لوما و دو بلوک کروما است که اندازه‌ی آن می‌تواند به صورت $2^n \times 2^n$ باشد که n یک عدد صحیح از ۳ تا ۶ است [۱۳]. هر بلوک کدکننده، ناحیه‌ای از تصویر را مشخص می‌کند و حالت پیش‌گویی آن‌ها یکسان است. شکل (۲) نحوه تقسیم CTU را به واحدهای کدکننده با اندازه ۸×۸ تا ۶۴×۶۴ را نشان می‌دهد. اعداد نوشته شده در هر بلوک نشان دهنده‌ی ترتیب کدشدن بلوک است.

هر بلوک کدکننده می‌تواند شامل یک یا چند بلوک پیش‌گو PU[۲] باشد. در هر بلوک پیش‌گو، فرآیند پیش‌گویی یک سانی انجام می شود. در پیش‌گویی درون قابی، حداقل اندازه‌ی بلوک کدکننده ۸×۸ است که می‌تواند به بلوک‌های هم‌اندازه‌ی ۴×۴ نیز شکسته شود، یعنی بلوک پیش‌گو می‌تواند دارای اندازه‌ای از ۴×۴ تا ۶۴×۶۴ باشد.



شکل (۱): نمودار کد و فشرده‌سازی فریم‌ها در استاندارد ویدئوی HEVC

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021
[Downloaded from jeps.dezful.iau.ir on 2026-11-13]



شکل (۲): مثالی از نحوه‌ی تقسیم‌شدن یک CTU به بلوک‌های کدکننده

هر بلوک پیش‌گو شامل یک یا چند بلوک تبدیل TU[۴] است که برای تبدیل DCT استفاده می‌شوند. حداکثر اندازه‌ی بلوک تبدیل ۳۲×۳۲ و حداقل اندازه‌ی آن ۴×۴ است [۱۴]. شکل (۳) اندازه‌ی فرمت‌های مختلف یک فریم از ویدئو را نشان می‌دهد که در آن فرمت FULL HD با اندازه‌ی 1080×1920، فرمت 4K با اندازه‌ی 2160×3840 و فرمت 8K با اندازه‌ی 4320×7680 پیکسل نشان داده شده است.

۲-۱- پیش‌گویی درون قابی

استاندارد HEVC برای حذف افزونگی مکانی از پیش‌گویی درون قابی استفاده می‌کند، به این ترتیب که از پیکسل‌های بلوک‌های مجاور در همان فریم که قبلاً کد شده‌اند، جهت پیش‌گویی استفاده می‌شود.

در اینجا برای به‌دست آوردن بهترین جهت پیش‌گویی از ۳۵ مد مختلف استفاده می‌شود که یک مد برای پیش‌گویی Planar است و در این حالت از یک تابع خطی هموارکننده که از پیکسل‌های بالا و چپ بلوک استفاده می‌کند، برای پیش‌گویی استفاده می‌شود.

یک مد هم برای پیش‌گویی DC است که از میانگین تمام پیکسل‌های بلوک استفاده می‌کند و ۳۳ مد برای پیش‌گویی زاویه‌ای است که در شکل (۴) نشان داده شده است و در پایان، حالتی که دارای کمترین هزینه است انتخاب می‌شود.

این ۳۵ مد روی بلوک‌هایی با اندازه‌های مختلف از ۶۴×۶۴ تا ۴×۴ بررسی می‌شوند تا بلوک با اندازه مناسب و مد بهینه انتخاب شود. حال سوال موجود آن است که بهترین مد چگونه باید انتخاب شود؟

جهت انتخاب بهترین مد و اندازه بلوک از تابع هزینه نشان داده شده در رابطه‌ی (۱) استفاده می شود که در آن SSD مجموع مجذور اختلاف بین پیکسل‌های بلوک کدکننده‌ی اصلی با بلوک جاری است و λ ضریب لاگرانژ است و D تعداد بیت‌های حقیقی است که برای کدکردن بلوک مورد نیاز است [۱۵].

$$j = SSD + \lambda D \qquad (۱)$$

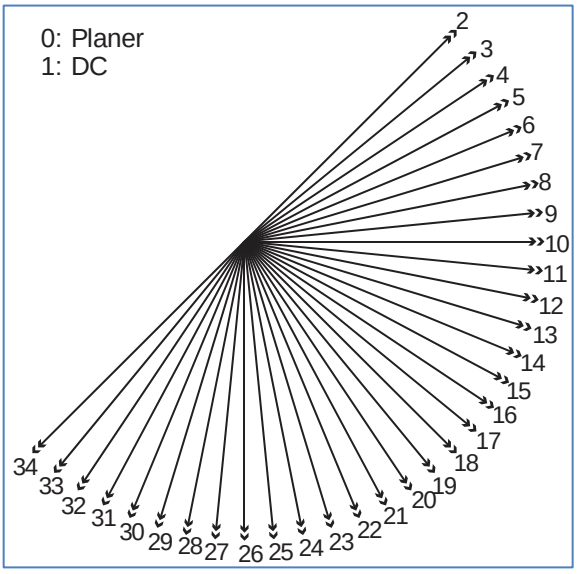
۲-۲- پیش‌گویی بین قابی

در پیش‌گویی بین قابی برای حذف افزونگی زمانی، از فنّاوری تخمین حرکت و جبران استفاده می‌شود. ابتدا تصویر به بلوک‌های پیش‌گو شکسته می‌شود، سپس به دنبال بهترین مکان این بلوک در یک محدوده‌ی خاص از فریم قبلی می‌گردد و بهترین جایی که این بلوک با فریم قبلی مطابقت کند را یافته و میزان این تغییر حرکت را با بردار حرکت نمایش می‌دهد. هر فریم به بلوک‌های غیرهم‌پوشان به نام CTU تقسیم می‌شوند و به جای فشرده‌سازی مقادیر پیکسل‌های اولیه‌ی هر بلوک، کدکننده، تلاش می‌کند تا بلوکی شبیه به آن را در فریم مرجع پیدا کند.



شکل (۳): مثال از فریم ویدئو با فرمت و اندازه‌ی پیکسل‌های تشکیل دهنده

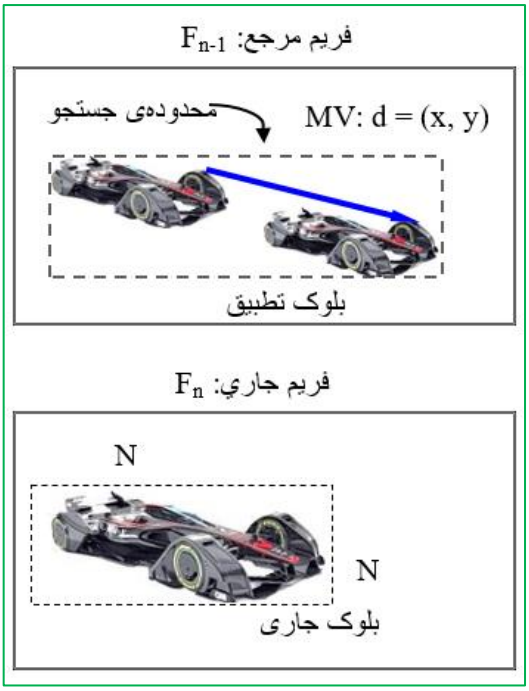
[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021
[Downloaded from jeps.dezful.iau.ir on 2026-11-13]



شکل (۴): تعداد ۳۵ مد پیش‌گویی درون قابی، استفاده شده در HEVC که شامل ۳۳ مد زاویه‌ای، یک مد Planer و یک مد DC است.

این پردازش توسط الگوریتم انطباق بلوک انجام می‌گیرد. درصورتی که فریم مورد نظر پیدا شود، می‌توان آن را با استفاده از برداری به نام بردار حرکت که به محل بلوک منطبق‌شده در فریم مرجع اشاره دارد، فشرده‌سازی کرد.

بردار حرکت شامل دو مقدار x و y است که میزان اختلاف حرکت در جهت محور افقی و عمودی را نشان می‌دهند. در شکل ۵ بردار d میزان جابجایی یک بلوک نسبت به فریم قبلی را نشان می‌دهد. همراه با بردار حرکت، ماتریس جبران نیز ارسال می‌شود که میزان اختلاف بلوک جاری با بلوک منطبق‌شده را نشان می‌دهد.



شکل (۵): جابجایی بلوک جاری نسبت به فریم قبلی توسط بردار حرکت

از آنجایی که فرآیند جستجوی بردار حرکت، هزینه‌ی محاسباتی و مصرف توان بالایی دارد، دو حالت خاص "پرش" و "ادغام" معرفی شده‌اند تا محاسبات را کاهش دهند. پرش زمانی اتفاق می‌افتد که بردار حرکت (۰،۰) بوده و تمام ضرایب ماتریس جبران نیز صفر باشند [۱۶]. ادغام، حالتی است که بردار حرکت بلوک با بردار حرکت یکی از بلوک‌های همسایه یکسان باشد.

۳- کاهش مصرف توان

در استاندارد HEVC یک فریم تصویر را به گروه‌های مستطیلی CTU موسوم به کاشی تقسیم می‌کنند. کاشی[۵] و جبهه موج، برای پردازش هم‌زمان چندین منطقه از یک عکس تعریف شده است. برای افزایش قدرت جریان بیت، یک فریم را می‌توان به یک یا چند برش مستقل تقسیم کرد.

چی و همکاران [۱۷] با استفاده از پردازش موازی موج[۶] (WPP) و استفاده از وابستگی و شباهت فریم‌های متوالی و همچنین جبهه‌ی موج همپوشان[۷] (OWF) توانستند عملکرد و کارایی بالاتری نسبت به کاشی‌ها به‌دست آورند.

افونسو و همکاران [۱۸] یک طرح سخت‌افزاری کم‌مصرف و با قدرت بالا برای HEVC سه بعدی با ابزار رمزگذاری عمق پرش ارائه داده‌اند. در این روش برای کاهش توان محاسباتی از نرم افزار مرجع 3D-HEVC استفاده شده است. روش پیشنهادی شامل جای‌گزینی SVDC[۸] برای SAD[۹] (مجموع تفاوت‌های مطلق) به‌عنوان معیار تشابه است. نشان داده شده است که تعداد عملیات حسابی مربوط به معیار شباهت بیش از ۷۱ در صد کاهش یافته است. سخت‌افزار در VHDL توسعه داده شده و با فناوری ASIC ساخته شده و نشان داده‌اند که این معماری با سلول‌های استاندارد ۴۵ نانومتری Nangate، می‌تواند ۶۰ فریم UHD 2160p در ثانیه (پنج نمایش) را با توان مصرفی معادل ۱۹ میلی‌وات پردازش کند.

براتز و همکاران [۱۹] یک طرح سخت‌افزاری در HEVC با کارایی بالا و از نوع کم‌توان ارائه داده‌اند و ارزیابی چندین حالت کدگذاری در طی فرآیند رمزگذاری HEVC برای پردازش ویدیوی با وضوح فوق‌العاده بالا (UHD) در زمان واقعی فراهم کرده‌اند. نتایج حاصل از تلفیق ASIC، برای یک کتابخانه سلول استاندارد ۴۵ نانومتری Nangate، حداکثر فرکانس عملیاتی ۱۶۷۹/۵۱ مگاهرتز و سرعت پردازش GSps ۵۳/۷۴ را ارائه داده است. این توان عملیاتی اجازه پردازش زمان واقعی تا ۷۲ حالت کدگذاری برای UHD 4K با نرخ ۶۰ فریم بر ثانیه یا حداکثر ۹ حالت کدگذاری برای UHD 8K با نرخ ۱۲۰ فریم بر ثانیه را می‌دهد. این در حالی است که ۳۶۹/۳۷ میلی‌وات توان مصرف می‌شود.

همچنین براتز و همکاران در [۲۰] یک سخت‌افزار کم مصرف با استفاده از موتور بای‌پاس برای کاهش اتلاف توان و با استفاده از تغییر شکل کسینوس گسسته معکوس ارائه داده‌اند. موتور بای‌پاس با جای-گزینی الگوریتم معمولی 1-D IDCT با عملکردهای ساده‌تر، مصرف توان

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021
[Downloaded from jeps.dezful.iau.ir on 2026-11-13]

را کاهش می‌دهد. نتایج ترکیب ASIC، مصرف توان را ۳/۱۲ میلی‌وات هنگام کار در فرکانس ۷۸۹/۳۲ مگاهرتز تخمین می‌زند. چنین فرکانسی برای رمزگذاری در زمان واقعی برای فیلم‌های با وضوح فوق‌العاده بالا (UHD 4K) و با سرعت ۶۰ فریم در ثانیه کافی است. علاوه بر این، نشان داده‌اند این معماری باعث کاهش ۲۶ درصدی اتلاف توان در مقایسه با معماری معمولی 1D IDCT می‌شود.

جیا و همکاران [۲۱] برآورد حرکت (ME) را عامل اصلی مصرف توان در رمزگذار معرفی کرده‌اند و بر اساس یک روش جدید برای محاسبه SAD، برآورد حرکت کم‌توان را در معماری VLSI ارائه داده‌اند. آن‌ها نشان داده‌اند که با استفاده مجدد از محاسبات پیش‌گوی قبلی، پیچیدگی محاسبات کاهش یافته و مصرف توان کاهش می‌یابد. همچنین آن‌ها نشان داده‌اند که با یک آرایه عناصر پردازش سیستولیک[10] کم‌مصرف و یک سلسله مراتب، حافظه جدید ساخته شده که پردازش فیلمی با وضوح 8K را با ۵۰ درصد توان مورد نیاز در طراحی پیشرفته امکان‌پذیر می‌کند.

براتز و همکاران همچنین در [۲۲] یک الگوریتم سخت‌افزاری مناسب برای حداکثر کردن توان تبدیل کسینوس گسسته (DCT) برای HEVC، همراه با طراحی سخت‌افزار آن ارائه داده‌اند.

الگوریتم Fast DCT (FCT) بر اساس الگوریتم Cooley-Tuckey برای تبدیل سریع فوریه (FFT) با پیش‌پردازش و پس‌پردازش مورد نیاز جهت حفظ انطباق با HEVC ساخته شده است. الگوریتم حاصل، ضمن داشتن اتلاف کم توان، توان عملیاتی بالا نیز دارد. سخت‌افزار طراحی شده با فناوری ۴۵ نانومتری Nangate ساخته شده و در هنگام مصرف ۱۲/۳۳ میلی‌وات توان، به نرخ ۸۱/۲۸ نمونه در ثانیه می‌رسد.

شافیک و همکاران [۲۳] به تجزیه و تحلیل جامعی از پیچیدگی محاسبات، مصرف توان، دما و دسترسی به حافظه برای HEVC پرداخته‌اند. آن‌ها چالش‌های طراحی مرتبط و چندین الگوریتم و معماری کم مصرف برای توسعه سامانه چندرسانه‌ای مبتنی بر HEVC را ارائه داده‌اند.

یوکر و همکاران در [۲۴] بر روی حالت رمزگذاری[11] DMM4 تمرکز کرده‌اند که یکی از جدیدترین موارد ارائه شده توسط 3-D-HEVC است. آن‌ها با استفاده از DMM4، یک روش کم‌مصرف و پرقدرت و یک معماری با هدف قراردادن FPGA و ASIC ارائه داده‌اند. تلفیق FPGA بر روی Altera Stratix V متمرکز شده و تلفیق ASIC بر روی فناوری ۴۵ نانومتری Nangate متمرکز شده است. نتایج FPGA و ASIC نشان داده که این معماری می‌تواند دو نمایش از فیلم‌های سه بعدی UHD و کیفیت ۲۱۶۰ پیکسل و با سرعت ۶۰ فریم در ثانیه را پردازش کند و یا پنج نمایش از فیلم‌های HD و کیفیت ۱۰۸۰ پیکسل را با سرعت ۳۰ فریم در ثانیه پردازش کند و این پردازش‌ها را با مصرف توان پایینی انجام دهد.

اخیراً پنی و همکاران [۲۵] یک معماری سخت‌افزاری کم مصرف و آگاه از حافظه برای استحکام‌دهنده[12] FME ارائه داده‌اند. همچنین پیشنهاد دو طرح سخت‌افزاری جدید برای فیلترهای درون‌یابی، به نام فیلترهای FME تقریبی یکپارچه[13] (AUFF) را نیز ارائه داده‌اند. آن‌ها از محاسبات تقریبی در هر دو سطح الگوریتمی و داده استفاده می‌کنند که منجر به کاهش مصرف توان حافظه می‌شود. طرح پیشنهادی هنگام تلفیق با استفاده از کتابخانه سلول استاندارد ۴۰ نانومتری، با مصرف توان از ۲۲/۰۴ تا ۶۲/۰۶ میلی‌وات، قادر است در زمان واقعی فیلم‌های UHD، 4K و 8K را نمایش دهد.

سکویرا و همکاران [۲۶] یک معماری سخت‌افزار جبران حرکت را توصیف می‌کنند که یکپارچه‌سازی دستورات، یک طرح ذخیره داده پیکسل مرجع 2D، یک موتور DMA و یک موتور درون‌یابی پیکسلی با کارایی بالا را توصیف می‌کند. روش ذخیره‌سازی 2D کاهش توان LPDDR2 و SDRAM برای دیکودر 4k Ultra-HD تا ۷۰ میلی‌وات و پهنای باند ۸۰۰ مگابایت بر ثانیه (کاهش ۵۰ درصدی) را باعث می‌شود و زمان پخش HDMI با کیفیت ۱۰۸۰ پیکسل و ۳۰ فریم در ثانیه را ۲ ساعت افزایش می‌دهد. ماژول جبران‌کننده حرکت برای رمزگشایی فیلم‌های با کیفیت ۱۰۸۰ پیکسل و ۳۰ فریم در ثانیه، توان را به ۳ میلی‌وات کاهش می‌دهد.

۴- مقایسه روش‌ها

با توجه به مطالب بخش قبل، می‌توان گفت روش‌های سخت‌افزاری دارای کارایی بالاتر و کاهش توان مصرفی بیشتر هستند ولی در صورت عدم وجود سخت‌افزار مورد نیاز، از کارآمدترین و کم‌مصرف‌ترین روش‌های نرم‌افزاری استفاده می‌شود. همچنین باید بین کارایی و توان مصرفی توازن ایجاد گردد تا در مواردی مانند انتقال برخط که کیفیت و اطمینان، از اهمیت بالاتری نسبت به توان مصرفی برخوردار است، این اولویت در نظر گرفته شود.

در جدول (۱) روش‌های کاهش مصرف توان در HEVC مقایسه شده است. مشاهده می‌شود که به خاطر مزایایی مانند سرعت پردازش (و تأثیر مستقیمی که بر مصرف توان دارد)، بیشتر روش‌های ارائه شده به‌صورت سخت‌افزاری است و همچنین از بین روش‌های سخت‌افزاری نیز روش‌هایی که با فناوری‌های جدید ارائه شده‌اند، فارغ از روش پیشنهادی، توان مصرفی پایین‌تری دارند.

معمولاً برای مقایسه‌ی نتایج در HEVC از شبیه‌ساز HM به عنوان مرجع و از تعدادی ویدئوی استاندارد مانند Basketballpass، Kimono، Traffic و Fourpeople استفاده می‌شود. زمان ویدئوهای مورد آزمایش ۱۰ ثانیه با QP برابر ۲۵ انتخاب شده و مورد آزمایش قرار می‌گیرد. برای تحقیقات سخت‌افزاری، یک شبیه‌سازی سخت‌افزاری نیز انجام می‌شود. نتایج به‌دست آمده از روش‌های ذکر شده نشان از کاهش مصرف توان میانگین ۲۰ در صدی دارد که می‌توان گفت میزان کاهش نسبتاً خوبی با توجه به سخت‌افزارهای به‌کار گرفته شده در این زمینه است.

[Downloaded from jeps.dezful.iau.ir on 2026-11-13]
[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021

جدول (۱): مقایسه‌ی روش‌های کاهش مصرف توان در HEVC

مرجع	سال	روش	مزایا و معایب
[۱۷]	۲۰۱۲	نرم‌افزاری	کاهش مصرف تا 8.7mW
[۱۸]	۲۰۱۷	سخت‌افزاری	کاهش مصرف تا 19mW
[۱۹]	۲۰۱۸	سخت‌افزاری	کاهش مصرف 369mW برای 8k
[۲۰]	۲۰۱۸	سخت‌افزاری	کاهش مصرف به 3.12mW
[۲۱]	۲۰۱۸	سخت‌افزاری	کاهش مصرف 50%
[۲۲]	۲۰۱۹	سخت‌افزاری	کاهش مصرف 12.33mW
[۲۴]	۲۰۱۸	سخت‌افزاری	مصرف پایین توان
[۲۵]	۲۰۲۰	سخت‌افزاری	کاهش مصرف به 22.04mw
[۲۶]	۲۰۱۸	سخت‌افزاری	کاهش مصرف به 3mw برای 1080p

۵- نتیجه‌گیری

کاهش مصرف توان نمایشگرهای سیار باعث بهبود کارایی آنها خواهد شد و از مزیت‌های رقابتی نسل‌های آینده طراحی در این زمینه خواهد بود. روش هایی که تاکنون در این زمینه ارائه شده و اکثراً سخت‌افزاری می باشند، تا حد قابل قبولی منجر به رضایت استفاده‌کنندگان از این ادوات می شوند. همچنین باعث کاهش مصرف انرژی‌های فسیلی و کاهش آلاینده‌های زیست محیطی می شوند. البته هنوز نمی‌توان گفت که به میزان کاهش توان مصرفی مطلوب نزدیک شده‌ایم و در این زمینه انجام پژوهش جهت دسترسی به روش‌های بهینه‌تر الزامی است.

مراجع

[1] D. Sethi, P. Bhattacharya, "*A comparative analysis of various mobile sink routing protocols and performance comparison of clustered routing protocols in mobile sink scenario*", Majlesi Journal of Electrical Engineering, vol. 12, no. 3, pp. 11-22, 2018.

[2] B. Jafari, M. SoltanAghaei, "*A new QoS-aware and stable opportunistic routing protocol for mobile wireless networks*", Majlesi Journal of Electrical Engineering, vol. 12, no. 4, pp. 25-40, 2018.

[3] B. H. Kim and J. W. Kwon, "Plasmon-assisted radiolytic energy conversion in aqueous solutions," *Scientific reports*, vol. 4, p. 5249, 2014.

[۴] ابطحی سیدایمان، عشوری محمدرضا، امیرفتاحی رسول، "کدگذاری سیگنال صحبت تحت محیط‌های نویزی مبتنی بر مدل سیستم شنوایی انسان"، روش‌های هوشمند در صنعت برق، سال ۳، شماره ۹، ص.: ۳-۱۰، بهار ۱۳۹۱.

[5] C. Xu, X. Ping, and T. Zhang, "*Steganography in compressed video stream*", Proceeding of the IEEE/IC-ICIC, pp. 269-272, Beijing, China, Aug./Spet. 2006.

[6] G. Tech, Y. Chen, K. Müller, J. Ohm, A. Vetro and Y. Wang, "*Overview of the multiview and 3D extensions of high efficiency video coding*", IEEE Trans. on Circuits and Systems for Video Technology, vol. 26, no. 1, pp. 35-49, Jan. 2016.

[7] J. M. Boyce, Y. Ye, J. Chen and A. K. Ramasubramonian, "Overview of SHVC: Scalable extensions of the high efficiency video coding standard", IEEE Trans. on Circuits and Systems for Video Technology, vol. 26, no. 1, pp. 20-34, Jan. 2016.

[8] G. J. Sullivan, J. Ohm, W. Han and T. Wiegand, "Overview of the high efficiency video coding (HEVC) standard", IEEE Trans. on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.

[9] G. J. Sullivan, J.-R. Ohm, W.-J. Han, and T. Wiegand, "*Overview of the high efficiency video coding (HEVC) standard*", IEEE Trans. on Circuits and Systems for Video Technology, vol. 22, pp. 1649-1668, 2012.

[10] Y. Zhou and K. Xu, "*A low-power H. 265/HEVC 4K@ 30 video decoder with dynamic power gating*", Proceeding of the IEEE/ICTA, pp. 63-64, Chengdu, China, Nov. 2019.

[11] Z. Xu, B. Min, and R. C. Cheung, "*A fast inter CU decision algorithm for HEVC*", *Signal Processing: Image Communication*, vol. 60, pp. 211-223, Feb. 2018.

[12] G. Correa, P. Assuncao, L. Agostini, and L. A. da Silva Cruz, "*Complexity-Aware High Efficiency Video Coding",* Springer, 2016.

[13] D. Lee and J. Jeong, "*Fast CU size decision algorithm using machine learning for HEVC intra coding*", Signal Processing: Image Communication, vol. 62, pp. 33-41, March 2018.

[14] Y. Saberi, M. Ramezanpour, and R. Khorsand", "*An efficient data hiding method using the intra prediction modes in HEVC*", Multimedia Tools and Applications, vol. 79, pp. 33279-33302, 2020.

[15] M. G. Sarwer, L.-M. Po, and Q. J. Wu, "*Fast sum of absolute transformed difference based 4× 4 intra-mode decision of H. 264/AVC video coding standard*", Signal Processing: Image Communication, vol. 23, pp. 571-580, 2008.

[16] H. Park, "*A sub-pixel motion estimation skipping method for fast HEVC encoding*", ICT Express, vol. 5, pp. 136-140, June 2019.

[17] C. C. Chi ,M. Alvarez-Mesa, B. Juurlink, G. Clare, F. Henry, S. Pateux, *et al.*, "*Parallel scalability and efficiency of HEVC parallelization approaches*", IEEE Trans. on Circuits and Systems for Video Technology, vol. 22, pp. 1827-1838, 2012.

[18] V. Afonso ,A. Susin, L. Audibert, M. Saldanha, R. Conceição, M. Porto, *et al.*, "*Low-power and high-throughput hardware design for the 3D-HEVC depth intra skip*", Proceeding of the IEEE/ISCAS, pp. 1-4, Baltimore, MD, May 2017.

[19] L. Braatz, B. Zatt, D. Palomino, L. Agostini, and M. Porto, "*High-throughput and low-power integrated direct/inverse hevc quantization hardware design*", Proceeding of the IEEE/ISCAS, pp. 1-5, Florence, Italy, May 2018.

[20] L. Braatz, D. Palomino, L .Agostini, B. Zatt, and M. Porto, "*Low-power hevc 1-d idct hardware architecture*", Proceeding of the IEEE/SBCI, pp. 1-6, Bento Goncalves, Aug. 2018.

[21] L. Jia, C.-Y. Tsui, O. C. Au, and K. Jia, "*A low-power motion estimation architecture for HEVC based on a new sum of absolute difference computation*", IEEE Trans. on Circuits and Systems for Video Technology, vol. 30, no. 1, pp. 243-255, Jan 2020.

[22] L. A. Braatz, A. C. S. Beck, B. Zatt, L. V. Agostini, D. M. Palomino, and M. S. Porto, "A new hardware friendly 2D-DCT HEVC compliant algorithm and its high throughput and low power hardware design", Proceeding of the IEEE/ICECS, pp. 654-657, Genoa, Italy, Nov. 2019.

[23] M. Shafique and J. Henkel, "*Low power design of the next-generation high efficiency video coding*", Proceeding of the IEEE/ASP-DAC, pp. 274-281, Singapore, Jan. 2014.

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021
[Downloaded from jeps.dezful.iau.ir on 2026-11-13]

[24] M. Ücker, V. Afonso, L. Audibert, A. Susin, B. Zatt, M. Porto, *et al.*, "*Low-power and high-throughput architecture for 3D-HEVC depth modeling mode 4*", Proceeding of the IEEE/SBCCI, pp. 1-6, Brazil, Aug .2018.
[25] W. Penny, G. Correa, L. Agostini, D. Palomino, M. Porto, G. Nazar, *et al.*, "*Low-power and memory-aware approximate hardware architecture for fractional motion estimation interpolation on HEVC*", Proceeding of the IEEE/ISCAS, pp. 1-5, Seville, Spain, Oct. 2020.
[26] L. F. Sequeira, G. M. Santana, G. Paim, L. M. Rocha, B. Abreu, E. Costa, *et al.*, "*Low-power HEVC 8-point 2-D discrete cosine transform hardware using adder compressors*", Proceeding of the IEEE/NEWCAS, pp. 309-312, Montreal, QC, Canada, June 2018.

رزومه



یعقوب صابری در اصفهان متولد شده است (۱۳۵۱). در حال حاضر دانشجوی مقطع دکتری مهندسی معماری سیستم های کامپیوتری در دانشگاه آزاد اسلامی واحد نجف آباد می با شد. فعالیت‌های پژوهشی و علاقه‌مندی ایشان در زمینه مخفی سازی اطلاعات در ویدئوهای فشرده شده با استاندارد HEVC می باشد.



سید محمدعلی زنجانی استادیار پایه ۲۰ دانشکده مهندسی برق دانشگاه آزاد اسلامی واحد نجف‌آباد است. فعالیت‌های پژوهشی ایشان شامل طراحی مدارهای مجتمع آنالوگ و دیجیتال، سامانه‌های کم مصرف، حسگرها و مدیریت زباله‌های الکترونیک است.



مصطفی عبدالهیان دهکردی مربی پایه ۱۶ گروه کامپیوتر دانشکده فنی پسران شهرکرد است. فعالیت‌های پژوهشی و علاقه مندی ایشان شامل طراحی مدارهای مجتمع دیجیتال در ابعاد نانومتری، رایانش ابری و شبکه روی تراشه های نوری می‌باشد.

زیرنویس‌ها

[1] High Efficiency Video Coding
[2] Prediction Unit
[3] Discrete Cosine Transform
[4] Transform Unit
[5] Tile
[6] Wave Front Parallel Processing
[7] Overlapped Wave Front
[8] Synthesized View Distortion Change
[9] Sum of Absolute Differences
[10] Systolic
[11] Depth Modeling Mode 4
[12] Fractional Motion Estimation
[13] Approximate Unified FME Filters

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021
[Downloaded from jeps.dezful.iau.ir on 2026-11-13]

Ways to Reduce Power Consumption on Mobile Monitors in the High Efficiency Video Coding Standard

Yaghoub Saberi[1], Seyed Mohammad Ali Zanjani[*2,4], Mostafa Abdolhian Dehkordi[3]

1- Faculty of Computer Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran.
yaghoubsaberi880@gmail.com
*2- Faculty of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran.
Sma_zanjani@pel.iaun.ac.ir
3- Department of Electrical and Computer Engineering, Shahrekord Boys' Technical Faculty, Chaharmahal and Bakhtiari University of Technology and Vocational Training, Iran
mdehkordi@tvu.ac.ir
4- Intelligent Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran.

Abstract: Power consumption of mobile screens of laptops, tablets and mobile phones, due to their limited battery capacity, is one of the problems that users of these devices face. Some new hardware technologies, such as dynamic voltage and frequency scaling (DVFS), have reduced the consumption of these displays in some cases, but there are still many problems with DVFS. The High Efficiency Video Coding (HEVC) Standard is the latest and most useful video compression method used for high quality video capture and display in formats such as 4K and 8K. With all the advantages of HEVC, one of its disadvantages is the high power consumption when encrypting and decrypting videos, which should be minimized by providing solutions. In this paper, the latest methods in reducing power consumption in mobile monitors are reviewed and compared, and suggestions for its improvement are presented. Reducing power consumption in these methods sometimes reaches to 20 nj/px for video formats.

Keywords: Power Consumption, Compression, HEVC, Battery Capacity

[Downloaded from jeps.dezful.iau.ir on 2026-11-13]

[DOR: 20.1001.1.23222468.1400.10.1.3.8]
Journal of Novel Researches on Electrical Power - Vol. 10 -No.1 Spring 2021