طراحی و تحلیل دو سلول SRAM غیرفرار مبتنی بر ممریستور

علی رضایی[۱،۳]، سید محمدعلی زنجانی[۲،۳]*

۱- دانش‌آموخته کارشناسی‌ارشد، گروه الکترونیک، دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
*۲- استادیار، گروه الکترونیک، دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۳- مرکز تحقیقات ریزشبکه‌های هوشمند، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

تاریخ دریافت:۱۳۹۹/۳/۵ تاریخ پذیرش: ۱۳۹۹/۶/۳۰

چکیده: با پیشرفت و تغییر مقیاس فناوری ساخت به ابعاد نانومتری، حافظه‌های SRAM به‌عنوان یک بخش بااهمیت در طیف وسیعی از برنامه‌های میکروالکترونیک، از مصرف‌کننده‌های بی‌سیم تا پردازنده‌های سطح بالا، کاربردهای چندرسانه‌ای و سامانه‌های بر تراشه استفاده می‌شوند. سلول بیتی پایه در طراحی آرایه SRAM، ساختار شش ترانزیستوری است، اما نوسانات و قطع ولتاژ تغذیه، منجر به حذف اطلاعات ذخیره‌شده سلول‌های مبتنی بر آن می‌شود. اختراع نانوافزاره ممریستور به‌خاطر سرعت کلیدزنی بالا، پایداری بالا در نگهداری داده، مصرف توان پایین، چگالی مجتمع‌سازی بالا و سازگاری با فناوری CMOS، می‌تواند این مشکل را برطرف سازد. در این مقاله دو سلول SRAM جدید غیرفرار با استفاده از روش COMS مبتنی بر ممریستور پیشنهاد شده است. اولین سلول پیشنهادی دارای هشت ترانزیستور و دو ممریستور 8T2M و سلول دوم دارای نه ترانزیستور و دو ممریستور 9T2M است. سلول‌های پیشنهادی با استفاده از فناوری ۱۸۰ نانومتر TSMC و با تغذیه ۱/۸ ولت طراحی و در نرم‌افزار HSPICE شبیه‌سازی شده‌اند. رویکرد طراحی در این سلول‌ها در جهت کاهش توان مصرفی، حفظ حاشیه نویز استاتیکی SNM و اضافه‌شدن قابلیت غیرفراربودن حافظه نسبت به ساختارهای پیشین است. شبیه‌سازی بیانگر آن است که برای سلول 8T2M، توان مصرفی حالت Write 0 و Write 1 به میزان ۱۱ درصد بهبود نسبت به سلول شش ترانزیستوری متعارف دارد. همچنین، در سلول 9T2M، بهبود برای حالت Read 0 حدود ۵۴ درصد و برای حالت Read 1 حدود ۱۱ درصد است.

واژه‌های کلیدی: سلول 8T2M SRAM، سلول9T2M SRAM، ممریستور، حافظه غیرفرار.

۱- مقدمه

در پردازنده‌ها داده‌ها و دستورالعمل‌های پرتکرار در حافظه نهان بر تراشه حفظ می‌شود [۱،۲]. درگذشته، حافظه با دسترسی تصادفی ایستا[۱] (SRAM) به علت محدودیت‌های ناشی از سطح اشغالی و هزینه‌های بالا به‌ازای هر بیت، در ظرفیت‌های کمتری به‌کار می‌رفت؛ اما امروزه با تغییر مقیاس فناوری ساخت به ابعاد نانومتری و استفاده از سلول‌های SRAM در طیف وسیعی از کاربردها، آرایه‌های SRAM طراحی و ارائه شده‌اند [۳،۴]. طراحی یک سلول SRAM باید عملکردی مقاوم، پایدار و قابل‌اطمینان را نتیجه دهد، ضمن آن که با توجه به درایو پیوسته جهت افزایش ظرفیت خازن ذخیره‌ساز، طراحان به دنبال افزایش تراکم بسته‌بندی هستند؛ بنابراین ضمن بهینه‌سازی پایداری (حاشیه نویز)، سرعت، توان و بازده باید سلول SRAM تا حد امکان کوچک باشد؛ این درحالی است که ترانزیستورها در سلول‌های کوچک با حداقل اندازه، حساسیت بالاتری نسبت به تغییرات فرآیند دارند [۵،۶].

بر اساس قابلیت اطمینان سلول‌های SRAM، می‌توان آن‌ها را به دودسته با پورت Read غیر ایزوله و سلول‌های با پورت Read ایزوله تقسیم‌بندی کرد. در نوع اول، حاشیه نویز استاتیکی[۲] (SNM) حالت Read ضعیف است و هر دو عملیات Read و Write در این سلول‌ها با گیت عبوری یکسان انجام می‌شود؛ به‌عبارت‌دیگر عملیات Read و Write از یکدیگر ایزوله نیستند. علت اصلی این موضوع، تنظیم نسبت ابعاد ترانزیستورها برای دست‌یابی به عملیات Write و Read موفق

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]
[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

است [۷،۸]. در [۹] نمونه چهار ترانزیستوری بدون بار، در [۱۰] نمونه چهار ترانزیستوری مبتنی بر مقاومت پلی‌سیلیکنی، در [۱۱] نمونه پنج ترانزیستوری، در [۱۲] و [۱۳] نمونه‌های شش، هفت و ده ترانزیستوری، در [۱۴] نمونه ده ترانزیستوری مبتنی بر اشمیت‌تریگر قابل رویت است؛ اما ایده اصلی در ساختارهای با پورت Read ایزوله شده، بهبود عملکرد مدار برای ولتاژهای تغذیه کوچک است. چراکه با کاهش ولتاژ تغذیه، حاشیه نویز استاتیکی و حساسیت در برابر تغییرات فرآیند بدتر می شود؛ بنابراین در این نوع از یک پورت جداگانه برای عملیات Read استفاده می‌شود؛ هرچند این کار باعث افزایش سطح اشغالی تراشه نیز می‌شود [۱۵،۱۶]. در [۱۷،۱۸] نمونه‌های هشت، نه و ده ترانزیستوری این نمونه مورد بررسی قرار گرفته است.

اما مشکل همه مدارات بالا آن است که قطع تغذیه منجر به حذف اطلاعات ذخیره‌شده در آنها است. اختراع ممریستور می‌تواند این مشکل را برطرف سازد. پیشینه حافظه غیرفرار به سال ۱۹۶۰ بازمی‌گردد، هنگامی‌که Widrow یک عنصر مداری جدید سه پایه با نام ممیستور معرفی کرد که مقاومت آن توسط انتگرال سیگنال جریان برحسب زمان کنترل می‌شد و به‌عنوان حافظه الکترولیتی برای تشکیل ساختار پایه در معماری مدارهای عصبی تحت عنوان نرون خطی انطباقی[۳] (ADALINE) بود [۱۹]. چند سال بعد، Chua و Kang تعمیم کلی از ویژگی‌های عمومی ممریستورها را در دسته‌بندی ویژه‌ای از ادوات دینامیک غیرخطی ارائه کردند که قطعات Memristive نامیده شد [۲۰]. در تعریف ممریستور براساس قانون اهم و در فضای حالت، از یکی از دو مدل کنترل‌شده با جریان یا ولتاژ زیر استفاده می‌شود. برای ممریستور کنترل‌شونده با جریان داریم:

$$v = R(x)i \quad (۱)$$

$$\frac{dx}{dt} = f(x.i) \quad (۲)$$

و برای ممریستور کنترل‌شونده با ولتاژداریم:

$$i = G(x)v \quad (۳)$$

$$\frac{dx}{dt} = g(x.v) \quad (۴)$$

پارامترهای اسکالر R(x) و G(x) به‌ترتیب Memristance و Memductance نامیده می‌شوند که واحد آن‌ها به‌ترتیب اهم (Ω) و زیمنس (S) است. بردار حالت $x=(x_1,x_2,\ldots,x_n)$ دارای $n\geq1$ جزء است که متغیرهای حالت نامیده می‌شوند و آن‌ها پارامترهای فیزیکی درونی را که به هیچ‌یک از متغیرهای بیرونی مانند ولتاژ و جریان وابسته نیست، ارائه می‌کنند [۲۱،۲۲].

وقتی ولتاژ تغذیه مدار قطع می‌شود، ممریستور آخرین مقاومت (اطلاعات) ایجادشده در خود را تا زمانی که ولتاژی با مقدار و پلاریته متفاوت به آن اعمال شود، حفظ می‌کند؛ بنابراین نیازی به مصرف انرژی جهت حفظ اطلاعات نیست و فقط زمانی که می‌خواهیم اطلاعات را از روی آن بخوانیم، انرژی مصرف می‌شود. یک ویژگی جالب برخی ممریستورها پاسخ غیرخطی به جریان یا ولتاژ است. ممریستور غیرخطی آستانه جریان یا ولتاژ را نشان می‌دهد، به‌طوری‌که مقاومت، توسط جریان یا ولتاژ نسبتاً کوچک تحت تأثیر قرار نمی‌گیرد، درحالی‌که مقاومت یک ممریستور خطی با هر تغییر در جریان تغییر خواهد کرد. ممریستورها دارای سرعت سوئیچینگ بالا، نگهداری داده با پایداری زیاد (غیرفراربودن)، غیرخطی‌بودن در مرزها و تراکم بسته‌بندی بالا در آرایه‌های خط عرض، مصرف توان پایین، چگالی مجتمع‌سازی بالا و سازگاری با فناوری CMOS می‌باشند به‌نحوی که پیش‌بینی‌شده است که ذخیره‌سازی داده در مدارهای دیجیتال (مانند DRAM، حافظه FLASH و دیسک سخت[۴])، با ممریستور انجام شود [۲۳]. در حافظه مبتنی بر ممریستور، سرعت توسط زمان Write تعیین می‌شود که در حال حاضر از ده‌ها نانوثانیه (PCM) تا صدها پیکسل (RRAM) است. پایداری بر اساس تعداد Write در یک سامانه، بدون تأثیر بر داده‌های ذخیره‌شده تعیین می‌شود و در حال حاضر از صدها میلیون Write (PCM) تا تعداد نامحدودی Write (STT-MRAM) متفاوت است.

در بخش دوم این مقاله، دو ساختار سلول SRAM غیرفرار (شامل سلول SRAM هشت‌ترانزیستوری دوممریستوری و سلول SRAM نه‌ترانزیستوری دوممریستوری) با استفاده از ساختارهای پایه و ممریستور ارائه می‌شود. این ساختارها این ویژگی را دارند که با حذف تغذیه، مقادیر داده را در خود حفظ نمایند تا پس از اعمال مجدد تغذیه آن را وارد چرخه پردازش SRAM کنند. نتایج شبیه‌سازی در بخش سوم ارائه شده که در آنها از مدل دی‌اکسیدتیتانیوم در نرم‌افزار HSPICE برای ممریستور استفاده شده است. نتایج، نشان می‌دهند که این ساختارها نسبت به ساختارهای پیشین، مصرف توان کمتری دارند. مقایسه با ساختارهای متعارف و کارهای قبلی در بخش چهارم و نتیجه‌گیری در بخش نهایی یا پنجم بررسی می‌شود.

۲- ساختارهای پیشنهادی

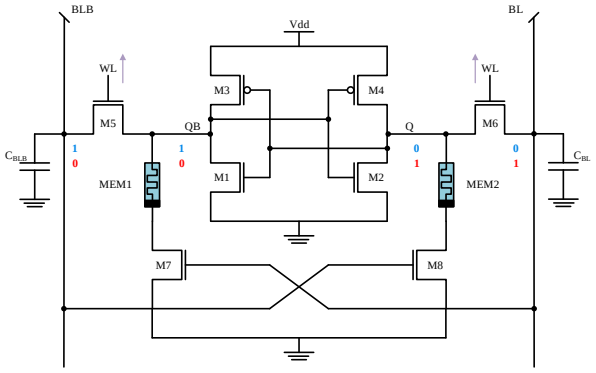
ویژگی‌های جذاب و منحصربه‌فرد ممریستورها باعث شده تا در زمینه‌های مختلف مانند طراحی فرکانس بالا [۲۴]، مدارهای چندسطحی (ازجمله سه سطحی) [۲۵]، طراحی سلول SRAM [۲۶،۲۷] کاربرد داشته باشد. در [۲۸] سلول SRAM هفت ترانزیستوری و دو ممریستوری ارائه شده که یکی از ممریستورها برای ذخیره و بازیابی داده‌ها در زمان قطع تغذیه به‌کار می‌رود. مرجع [۲۹] سلول سه ترانزیستوری و دو ممریستوری را عرضه می‌کند که در عملیات write ممریستورها بصورت موازی با پلاریته معکوس و در عملیات read بصورت سری قرار دارند.

۲-۱- سلول SRAM هشت‌ترانزیستوری و دو ممریستوری پیشنهادی

سلول (8T2M SRAM) پیشنهادی در شکل (۱) نشان داده شده است. عملکرد این سلول مطابق با عملکرد سلول شش‌ترانزیستوری است؛ یعنی در عملیات Write هنگامی‌که WL فعال شود، اطلاعات مربوط به Bitline ها که در C_{BL} و C_{BLB} ذخیره‌شده است، درون گره‌های میانی

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]
[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

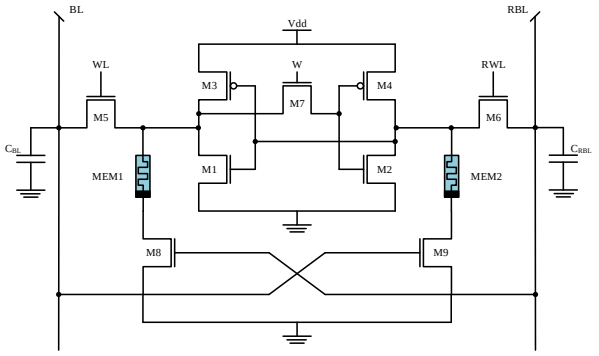
Q و QB ذخیره می‌شوند؛ به‌عبارت‌دیگر اگر BL برابر با Vdd باشد، خازن Q نیز تا Vdd شارژ و خازن QB تا سطح زمین دشارژ می‌گردد. هنگامی‌که WL غیرفعال شود، این مقادیر روی خازن‌های Q و QB ذخیره می‌مانند. در عملیات Read، مقادیر گره‌های میانی توسط Bitline ها که از طریق مدار خارجی پیش‌شارژ برابر با 1 هستند، خوانده می‌شود. ازآنجایی‌که مقادیر Q و QB به‌ترتیب 0 و 1 (یا بالعکس) هستند، به‌محض این‌که WL فعال شود، یکی از Bitline ها درون خازن گره دشارژ و Bitline موردنظر 0 می‌شود و با توجه به این‌که گره میانی ابتدا مقدار 0 را در خود ذخیره کرده بوده است، این مانند آن است که مقدار گره درونی در Bitline ذخیره‌شده است. مطابق باحالت Write وقتی WL غیرفعال شود، این مقادیر در Bitline ها باقی می‌ماند. اگر ولتاژ تغذیه به‌دلایل مختلف قطع شود، ممریستور اطلاعات گره‌ها را در خود ذخیره نگه می‌دارد و به‌محض برقراری مجدد اتصال ولتاژ تغذیه به مدار، آن را بازیابی می‌کند.



شکل (۱): سلول SRAM هشت‌ترانزیستوری و دو ممریستوری پیشنهادی

۲-۲- سلول SRAM نه‌ترانزیستوری و دو ممریستوری پیشنهادی

در سلول (9T2M SRAM) پیشنهادی شکل ۲، دو ممریستور به همراه دو ترانزیستور کنترل‌کننده اتصال به زمین برای ایجاد حافظه غیرفرار به سلول هفت‌ترانزیستوری اضافه شده است. در وضعیت Write وقتی WL برابر با 1 می‌شود، مقدار ذخیره‌شده در C_{BL} در گره میانی Q که به‌عنوان خروجی حالت Write شناخته می‌شود، ذخیره می‌گردد. در این وضعیت، هنگامی‌که BL برابر با Vdd باشد، خازن Q نیز تا Vdd شارژ و خازن QB تا سطح 0 دشارژ می‌شود تا Bitline روی گره Q و مکمل آن روی گره QB قرار گیرد. مادامی‌که WL فعال باشد، این عملیات پیوسته ادامه خواهد یافت؛ اما هنگامی‌که WL غیرفعال گردد، این مقادیر روی خازن‌های Q و QB ذخیره می‌مانند. در این عملیات، M7 خاموش است تا اتصال فیدبک را قطع نماید. در عملیات Read چون مقادیر Q و QB به‌ترتیب 0 و 1 (یا برعکس) هستند و همچنین BL و RBL از طریق مدار خارجی پیش شارژ شده‌اند، به‌محض این‌که RWL فعال شود، عملیات Read اتفاق می‌افتد. در این وضعیت اگر مقدار QB در سطح 0 باشد، خازن C_{RBL} درون خازن C_{QB} دشارژ شده و سطح RBL به 0 می‌رسد که این به‌منزله ذخیره‌سازی اطلاعات QB (یعنی 0) در RBL است. حال اگر مقدار QB برابر با 1 باشد، آنگاه مقدار RBL در همان مقدار پیش شارژ خود یعنی Vdd باقی می‌ماند و در حقیقت مقدار QB (یعنی 1) در آن ذخیره می‌شود. مادامی‌که RWL فعال باشد این عملیات پیوسته ادامه خواهد یافت؛ اما هنگامی‌که RWL غیرفعال گردد، اتصال بین RBL و گره‌های میانی قطع و این مقادیر روی C_{RBL} ذخیره می‌ماند. در این‌جا نیز هنگامی‌که اتصال ولتاژ تغذیه از مدار قطع شود، ممریستور مقادیر گره‌ها را در خود ذخیره نگه می‌دارد.



شکل (۲): سلول SRAM نه‌ترانزیستوری و دو ممریستوری پیشنهادی

۳- نتایج شبیه‌سازی

در [۳۰] مدل‌های مختلفی برای ممریستورها مربوط به خانواده نرم‌افزار SPICE ازجمله HSPICE ارائه شده است. ازجمله این مدل‌ها می‌توان به ممریستور ایده‌آل، ممریستور دوقطبی با آستانه، ممریستور تغییر حالت از عایق به فلز اشاره نمود. مدل ممریستوری پیشرفته دیگری که در [۳۱] ارائه شده است، ممریستور تغییر فاز (PCM) نام دارد که در آن ذخیره اطلاعات مبتنی بر انتقال فاز برگشت‌پذیر مواد است، لذا سلول PCM به‌عنوان سامانه Memristive کنترل‌شونده با ولتاژ یا جریان مرتبه دوم غیرقطبی توصیف می‌شود. بر اساس این نظریه، مدل سلول PCM بر اساس معادلات توصیف تغییر فاز و دما به‌صورت زیر بیان می‌شود که در آن، دمای T و ظرفیت کریستالی C_x به‌عنوان متغیرهای حالت درونی است [۳۲].

$$I = R^{-1}(C_x.V_M)V_M \quad (۵)$$

$$\frac{dT}{dt} = \frac{V_M^2}{C_h R(C_x.V_M)} + \frac{\delta}{C_h}(T_r - T) \quad (۶)$$

$$\frac{dC_x}{dt} = \alpha(1 - C_x)\theta(T - T_x)\theta(T_m - T) - \beta C_x \theta(T - T_m) \quad (۷)$$

$$R(C_x.V) = R_{OFF} + (1 - C_x)\frac{R_{OFF} - R_{ON}}{e^{\frac{V - V_t}{V_0}} + 1} \quad (۸)$$

[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020
[Downloaded from jeps.dezful.iau.ir on 2025-07-09]

در این‌جا، C_h خازن حرارتی، δ ثابت اتلاف، T_r دمای محیطی، θ تابع پله، T_m دمای نقطه ذوب، T_x دمای نقطه‌گذار کریستال، α و β به ترتیب ثابت‌های تعریف نرخ بی‌نظمی و کریستالیزه شدن، V_t ولتاژ آستانه، R_{ON} و R_{OFF} محدوده مقادیر روشن و خاموش بودن Memristance و V_0 پارامتر تعیین شکل منحنی I-V هستند. لذا مشخصات ممریستورهای بکاررفته در شبیه‌سازی طبق جدول (۱) و برابر در نظر گرفته‌شده است تا رعایت تقارن در مدار شود. با استفاده از مدل فوق، دو مدار پیشنهادی در فناوری ۱۸۰ نانومتر CMOS شبیه‌سازی و نتایج زیر حاصل شد.

جدول (۱): مشخصات ممریستورهای سلول SRAM هشت ترانزیستوری و دو ممریستوری پیشنهادی

Parameter	R_{on} (kΩ)	R_{off} (kΩ)	R_{ini} (kΩ)	α (MΩ)	β (MΩ)	C_h (fF)	C_{xini} (fF)
$MEM_{1,2}$	10	1000	1	20	100	2	0
Parameter	T_r	T_x	T_m	T_{ini}	D (μm)	V_{tr} (v)	V_0 (v)
$MEM_{1,2}$	20	200	600	0	1	1.8	0.05

۳-۱- شبیه‌سازی مدار 8T2M

ترانزیستورهای درایو بالاترین و ترانزیستورهای بار کمترین جریان‌دهی را باید داشته باشند. لذا نسبت W/L ترانزیستورهای M1 وM2 برابر ۴ و M5 و M6 برابر ۲ و در سایر ترانزیستورها برابر ۱ فرض شد.

شکل ۳، به‌صورت نمونه مربوط به تست عملکرد مدار در حالت Write به ازای BL=0 (و BLB=1) است. همان‌گونه که مشخص است، با لحاظ کردن شرایط اولیه در شبیه‌سازی، BL پیش‌شارژ شده است. به‌محض فعال‌شدن WL، مقدار BL در Q و مقدار BLB در QB ذخیره می‌شوند. هنگامی‌که WL غیرفعال می‌شود، خازن‌های Q و QB مقادیر خود را حفظ می‌کنند.

بطور مشابه، وقتی BL=1 است با فعال‌شدن WL گره Q شارژ شده و مقدار BL را در خود ذخیره می‌کند. با غیرفعال‌شدن WL نیز این مقدار همچنان در Q باقی می‌ماند. در عملیات Read به‌ازای Q=0 نیز مشاهده شد که BL و BLB با استفاده از مدار پیش‌شارژ تا Vdd شارژ شده‌اند. مقادیر Q و QB نیز به ترتیب تا سطح 0 و 1 رفته‌اند. به‌محض فعال شدن WL، مقدار BL در خازن Q دشارژ شده و به سطح 0 می‌رسد و با قطع شدن WL نیز گره‌ها ولتاژهای ذخیره‌شده در خود را حفظ می‌کنند. عملیات Read برای زمانی که Q در حالت Vdd و QB در حالت 0 است نیز برعکس حالت قبل است.

در شکل (۴) در بازه‌ای، ولتاژ تغذیه مدار قع و مجددا وصل شده است. واضح است که اطلاعات گره‌های مدار بازیابی شده است. لازم به ذکر است آزمون‌های فوق در محدوده فرکانسی گیگاهرتز صورت گرفته است تا نشان دهد مدار در فرکانس‌های بالا نیز دارای عملکرد صحیح است.

پارامترهای کیفی مدار در جدول (۲) مرتب‌شده‌اند.

در ادامه برای بررسی قابلیت اطمینان ساختار طراحی‌شده، سلول موردنظر تحت تحلیل مونت‌کارلو برای دو پارامتر توان دینامیکی و زمان دسترسی قرار گرفت. برای این کار، ۵ درصد خطا در توزیع گوسین داده‌های ابعاد اعمال و ۲۰۰ تحلیل تصادفی انجام شد. شکل ۵ هیستوگرام توان دینامیکی و زمان دسترسی مربوط به Write 0 را نشان می‌دهد. مشخص است که بیشترین پراکندگی توان بین ۳/۵۲ تا ۳/۵۳ میکروواط است و میانگین توان برابر با ۳/۵۲۷ میکروواط است. همچنین زمان دسترسی نیز دارای بیشترین پراکندگی داده‌ها بین ۸۰ تا ۸۲ پیکوثانیه با میانگین زمان دسترسی برابر با ۸۰/۵۵۶ پیکوثانیه است.

همچنین، نتایج شبیه‌سازی مشابه نشان می‌دهند که میانگین توان دینامیکی و زمان دسترسی برای Write 1 به‌ترتیب برابر با ۳/۵۲ میکروواط و ۲۳۴/۵ پیکوثانیه و برای Read 0 ۶/۵۵ میکروواط و ۴۲۰/۴ پیکوثانیه و برای Read 1 برابر ۶/۵۵ میکروواط و ۴۲۰/۲ پیکوثانیه است. می‌دانیم در شرایط بار یکسان، با افزایش ولتاژ، جریان شارژ و دشارژ خازن‌ها افزایش می‌یابد. لذا در یک شبیه‌سازی دیگر، اثر افزایش ولتاژ تغذیه از ۱/۲ ولت تا ۲ ولت در افزایش همه اجزای توان مصرفی دینامیکی و کاهش تأخیر زمانی برای حالت Write 0 در شکل ۶ نشان داده شده است. Write 1، Read 0 و Read 1 نیز نمودارهای مشابهی را نشان می‌دهند.

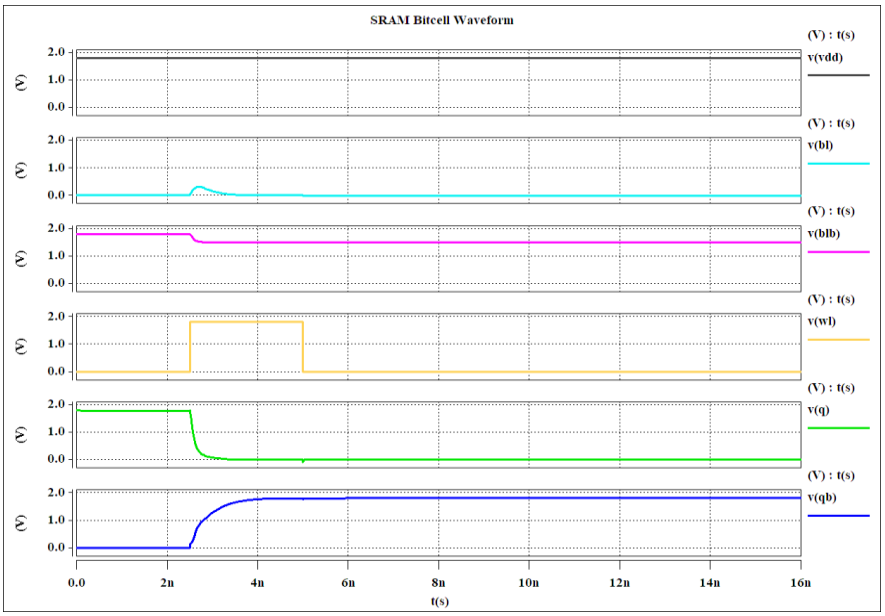
شکل‌های (۷-الف)، (۷-ب) و (۷-پ) به‌ترتیب حاشیه نویز حالت Write، حالت Read و حالت Hold را نشان می‌دهند. همان‌گونه که مشخص است حاشیه نویز استاتیکی برای حالت Write برابر با ۰/۷۲۵ ولت، برای حالت Read برابر با ۰/۵۶۸ ولت و برای حالت Hold نیز برابر با ۰/۴۴۸ ولت است.

۳-۲- شبیه‌سازی مدار 9T2M

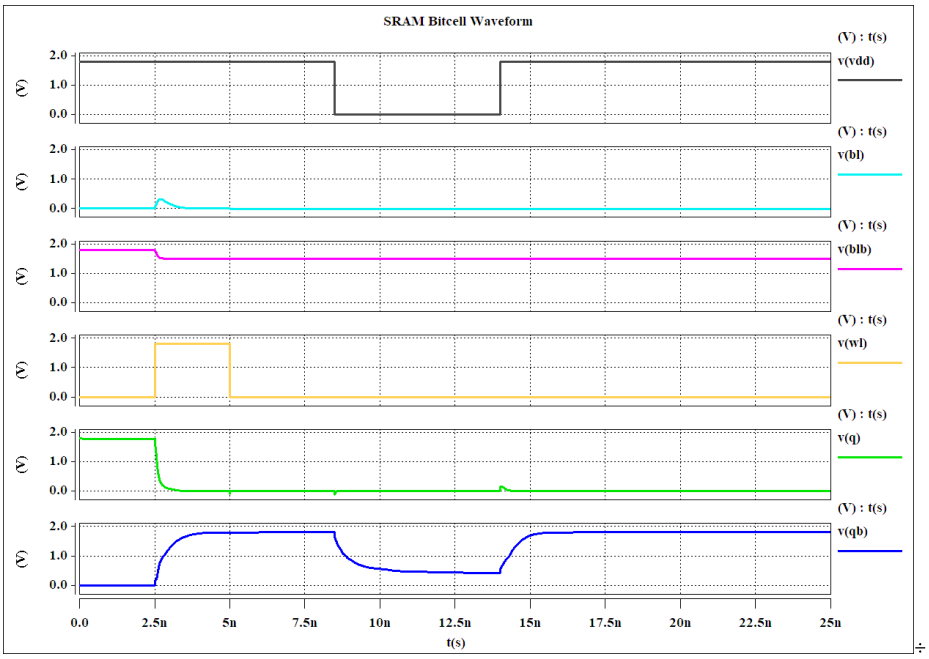
در ساختار سلول پیشنهادی، ابعاد ترانزیستورهای درایو و مشخصات ممریستورها مشابه مدار قبلی است. شبیه‌سازی‌های عملکرد مدار در حالت Write و Readهای مختلف کاملا مشابه مدار 8T2M استکه صحت عملکرد مدار را نشان می‌دهد. پارامترهای کیفی مدار در جدول ۳ مرتب شده‌اند.

همچنین تحلیل مونت‌کارلو با روش مشابه مدار قبلی نشان می‌دهد: در Write 0 بیشترین پراکندگی توان مصرفی دینامیکی بین ۲/۲ میکروواط تا ۲/۴ میکروواط و میانگین توان دینامیکی برابر با ۲/۲۴۳ میکروواط و میانگین زمان دسترسی برابر ۶۹/۱۳ پیکوثانیه است. مقدار میانگین توان دینامیکی و زمان دسترسی Write 1 برابر با ۵/۷۵۲ میکروواط و ۲۱۰/۳ پیکوثانیه است.

[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020
[Downloaded from jeps.dezful.iau.ir on 2025-07-09]



شکل (۳): عملیات Write 0 در سلول 8T2M پیشنهادی

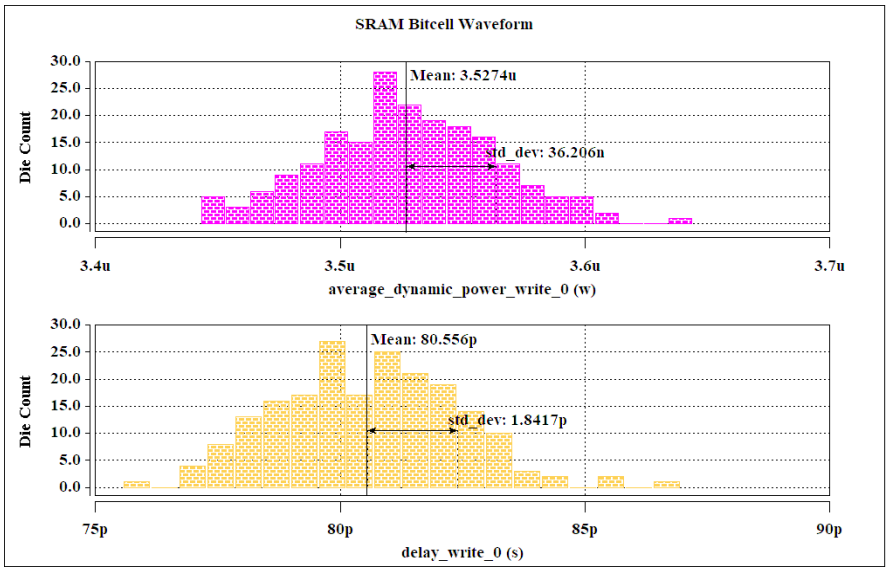


شکل (۴): عملیات Refresh در سلول 8T2M پیشنهادی

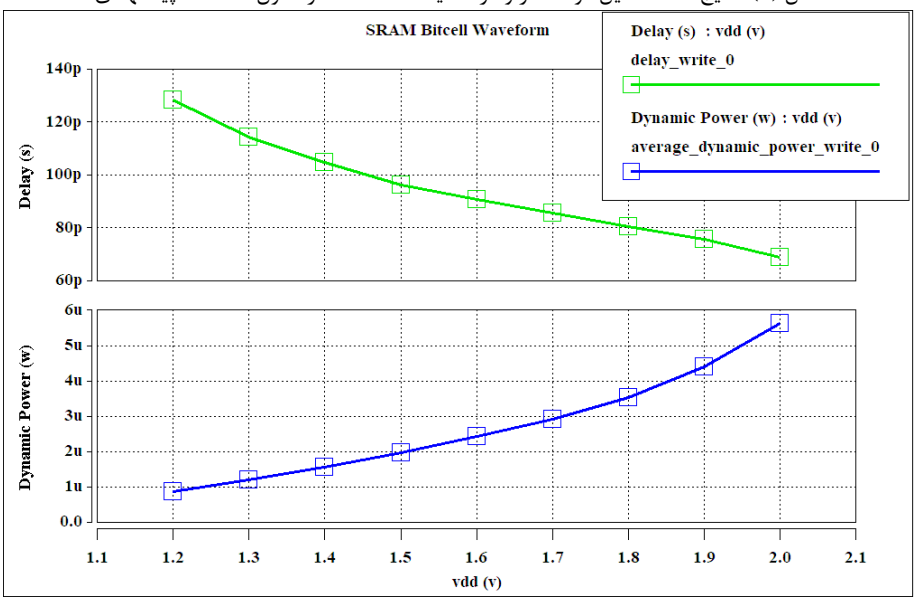
جدول (۲): پارامترهای کیفی سلول 8T2M پیشنهادی

Parameter	Value	Parameter	Value
Write ‘0’ Time (ps)	80.631	Static Power – Write ‘0’ (pw)	13.291
Write ‘1’ Time (ps)	235.13	Static Power – Write ‘1’ (pw)	13.291
Read ‘0’ Time (ps)	420.92	Static Power – Read ‘0’ (pw)	13.658
Read ‘1’ Time (ps)	420.92	Static Power – Read ‘1’ (pw)	13.658
Dynamic Power – Write ‘0’ (µw)	3.526	SNM – Write (v)	0.725
Dynamic Power – Write ‘1’ (µw)	3.526	SNM – Read (v)	0.568
Dynamic Power – Read ‘0’ (µw)	6.557	SNM – Hold (v)	0.448
Dynamic Power – Read ‘1’ (µw)	6.557		

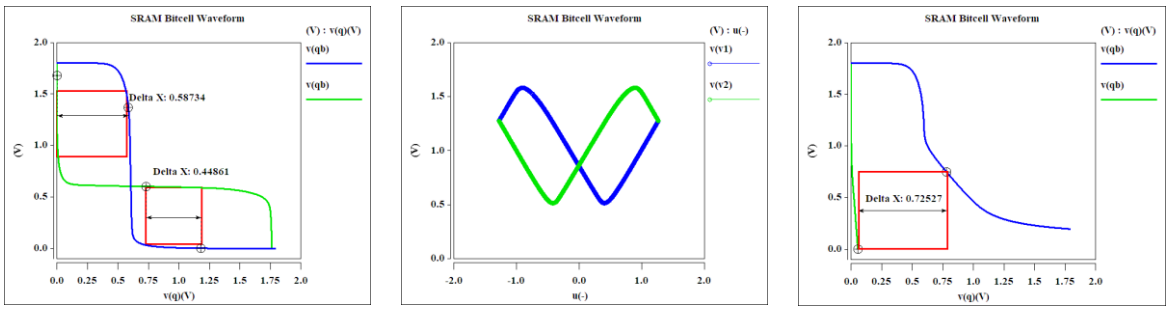
[Downloaded from jeps.dezful.iau.ir on 2025-07-09]
[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020



شکل (۵): نتایج ۲۰۰ تحلیل مونت کارلو در عملیات Write 0 در سلول 8T2M پیشنهادی



شکل (۶): اثر افزایش ولتاژ تغذیه در تاخیر و توان مصرفی حین عملیات Write 0 در سلول 8T2M پیشنهادی



شکل (۷): حاشیه نویز حالت Write (راست)، Read (وسط) و Hold (چپ) در سلول 8T2M پیشنهادی

به‌ازای Read 0 میانگین توان دینامیکی ۱/۴۶۳ میکرووات و زمان دسترسی برابر با ۸۶ پیکوثانیه و به‌ازای Read 1 توان مصرفی ۱/۱۴۶ میکرووات و زمان دسترسی ۲۵۰/۱ پیکوثانیه است.

۴- مقایسه با ساختارهای متعارف و کارهای قبلی

در مرحله اول، برای مقایسه سلول 8T2M پیشنهادی، سلول شش-ترانزیستوری پایه و برای مقایسه سلول 9T2M پیشنهادی، سلول هفت ترانزیستوری پایه را با درنظرگرفتن ابعاد برابر برای ترانزیستورها طراحی

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]
[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

و شبیه‌سازی نموده‌ایم. دلیل این کار قیاس صحیح بین دو ساختار است. نتایج حاصل از شبیه‌سازی سلول شش‌ترانزیستوری پایه و میزان بهبود سلول 8T2M پیشنهادی نسبت به آن و نیز سلول هفت ترانزیستوری پایه و میزان بهبود سلول 9T2M پیشنهادی در جدول۴ مرتب‌شده‌اند. همان‌طور که از جدول ۴ مشخص است، توان دینامیکی و زمان دسترسی Write بهبودیافته است؛ حاشیه نویز استاتیکی بدون تغییر مانده است و ساختارهای جدید نسبت به ساختارهای پیشین دارای ثبات در حاشیه نویز می‌باشند؛ اما می‌دانیم پارامترهای کیفی مدار در حالت Trade-Off قرار دارند؛ یعنی نمی‌توان تمامی پارامترها را هم‌زمان بهبود داد. مهم‌ترین مشکلی که در طراحی وجود دارد، توان استاتیکی است که با توجه به افزایش تعداد گره‌های درونی، طبیعی است که در حالت ایستا، جریان‌کشی افزایش یابد. البته این امر اجتناب‌ناپذیر بود، زیرا به حافظه غیرفرار نیاز داشتیم. ضمنا واضح است که بیشترین بهبود بین پارامترهای مذکور مربوط به توان مصرفی حالت Write و کمترین بهبود مربوط به زمان دسترسی Write 1 است.

در مرحله دوم، در جدول ۵ نتایج حاصل از دو طرح پیشنهادی با سایر تحقیقات مقایسه می‌شود. واضح است که مصرف توان که اصلی‌ترین هدف این پژوهش بوده است، نسبت به عموم کارهای معتبر چاپ‌شده موجود، بهبود یافته است و می‌توان گفت: هدف اصلی این پژوهش یعنی طراحی سلول SRAM کم‌مصرف با حافظه غیرفرار محقق شده است.

۵- نتیجه‌گیری

در این مقاله، از ترکیب فناوری CMOS و المان ممریستور، سلول‌های 8T2M-SRAM و 9T2M-SRAM از نوع غیرفرار با استفاده از فناوری۱۸۰ نانومتر TSMC در ولتاژ تغذیه ۱/۸ ولت طراحی شدند. نتایج حاصل از شبیه‌سازی، بهبود عملکرد نسبت به سلول‌های متعارف 6T و 8T را ازنظر توان مصرفی دینامیکی نشان می‌دهند. ازاین‌رو می‌توان از آن‌ها در آرایه‌های حافظه غیرفرار استفاده نمود. بهترین بهبود در سلول 8T2M مربوط به توان حالت Write بود که ۱۰٪ بهبود نسبت به سلول پیشین داشت. همچنین بهترین بهبود در سلول 9T2M مربوط به توان حالت Read بود که برای حالت Read 0 حدود ۵۴٪ و برای Read 1 حدود ۷۱٪، بهبود مشاهده شد. همچنین وجود ممریستور در سلول‌های طراحی‌شده باعث شد که وقتی ولتاژ تغذیه مدار قطع شد، ممریستور آخرین مقاومت ایجادشده در خود را حفظ کند و به‌محض اتصال مجدد تغذیه، اطلاعات بازیابی شود بدون آن‌که نیاز به مصرف انرژی جهت حفظ اطلاعات باشد. ممریستورها را می‌توان برای ذخیره‌سازی مقادیر تک‌بیتی از قبیل 0 و 1 یا مقادیر دوبیتی (همچون 00، 01، 10 و 11) برای آرایه‌های دوبیتی و چند بیتی بکار برد.

جدول (۳): پارامترهای کیفی سلول 9T2M پیشنهادی

Parameter	Value	Parameter	Value
Write ‘0’ Time (ps)	69.07	Static Power – Write ‘0’ (pw)	13.29
Write ‘1’ Time (ps)	212.8	Static Power – Write ‘1’ (pw)	19.18
Read ‘0’ Time (ps)	85.89	Static Power – Read ‘0’ (pw)	13.65
Read ‘1’ Time (ps)	248.1	Static Power – Read ‘1’ (pw)	13.65
Dynamic Power – Write ‘0’ (µw)	2.238	SNM – Write (v)	0.611
Dynamic Power – Write ‘1’ (µw)	5.686	SNM – Read (v)	0.568
Dynamic Power – Read ‘0’ (µw)	0.661	SNM – Hold (v)	0.470
Dynamic Power – Read ‘1’ (µw)	0.336		

جدول (۴): مقایسه پارامترهای سلول‌های شش و هفت ترانزیستوری متعارف با سلول‌های پیشنهادی در این مقاله

Parameter	6T SRAM	Improvement 8T2M to 6T	7T SRAM	Improvement 9T2M to 7T
Write ‘0’ Time (ps)	85.23	6%	68.97	0%
Write ‘1’ Time (ps)	239.2	1.7%	209.8	-1.4%
Read ‘0’ Time (ps)	415.1	-1.3%	86.02	1.3%
Read ‘1’ Time (ps)	415.1	-1.3%	250.4	1%
Dynamic Power – Write ‘0’ (µw)	3.944	11.8%	2.850	27.3%
Dynamic Power – Write ‘1’ (µw)	3944	11.8%	5.730	1%
Dynamic Power – Read ‘0’ (µw)	6.695	6.1%	1.463	121%
Dynamic Power – Read ‘1’ (µw)	6.695	6.1%	1.146	241%
Static Power – Write ‘0’ (pw)	9.183	-31%	9.18	-31%
Static Power – Write ‘1’ (pw)	9.183	-31%	4.46	-76%
Static Power – Read ‘0’ (pw)	9.551	-30%	9.55	-30%
Static Power – Read ‘1’ (pw)	9.551	-30%	9.55	-30%
SNM – Write (v)	0.725	0%	0.611	0%
SNM – Read (v)	0.568	0%	0.568	0%
SNM – Hold (v)	0.448	0%	0.470	0%

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]
[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

جدول (۵): مقایسه پارامترهای سلول‌های پیشنهادی با کارهای گذشته

Structure	Year	Delay (ps)				Dynamic Power (µw)			
		W0	W1	R0	R1	W0	W1	R0	R1
3T2M-SRAM [۲۹]	2013	5900	5900	200	200	32.3	136	306	340
7T1R-SRAM [۳۳]	2014	20.1	21.4	26.9	26.9	6980	6980	6980	6980
6T2M1D-SRAM[۳۴]	2014	186	424	54.8	15.0	8.60	31.2	0.99	0.3
4T2M-SRAM [۳۵]	2016	2500	2500	100	100	18.1	6.88	103	125
7T2M-SRAM [۲۸]	2019	8.89	8.43	0.63	0.63	8.24	8.24	8.24	8.24
8T2M-SRAM [This Work]	2019	80.6	235	420	420	3.52	3.52	6.55	6.55
9T2M-SRAM [This Work]	2019	69	212	85.8	248	2.23	5.68	0.66	0.33

مراجع

[۱] کریمی اسماعیل، "*طراحی و شبیه‌سازی تقویت‌کننده کم نویز باند باریک با توان مصرفی پایین در فناوری ۱۸۰ نانومتر CMOS*"، روش‌های هوشمند در صنعت برق، سال: ۱۰، ش.: ۳۹، ص.: ۲۳-۲۸، ۱۳۹۸.

[2] A. Golmakani, K. Mafinejad, A. Kouzani, "*The parasitic-aware design and optimization of CMOS distributed amplifier using multi objective genetic algorithm*", Majlesi Journal of Electrical Engineering, vol. 2, no. 2, pp. 1-8, 2009.

[3] A. Ebrahimi, E. Kargaran, A. Golmakani, "*Design and Analysis of Three New SRAM Cells*", Majlesi Journal of Electrical Engineering, vol. 6, no. 4, Dec. 2012.

[4] C. Sun, K. Han, X. Gong, "*Performance evaluation of static random access memory (SRAM) based on negative capacitance finFET*", Proceeding of the IEEE/ICICDT, pp. 1-4, SUZHOU, China, 2019.

[5] S .Bhatti, R. Sbiaa, A. Hirohata, H. Ohno, S. Fukami, S.N. Piramanayagam, "*Spintronic based random access memory: A review*", Materials Today, vol. 20, no. 9, pp. 530-548, 2017.

[6] J. B. Shaik, S. Singhal, N. Goel, "*Analysis of SRAM metrics for data dependent BTI degradation and process variability*", Integration, vol. 72, pp. 148-162, May 2020.

[7] Y. Chen, M. Fan, V. P. Hu, P. Su, C. Chuang, "*Design and analysis of robust tunneling FET SRAM*", IEEE Trans. on Electron Devices, vol. 60, no. 3, pp. 1092-1098, March 2013.

[8] S. Ahmad, B. Iqbal, N. Alam, M. Hasan, "*Low leakage fully half-select-free robust SRAM cells with BTI reliability analysis*", IEEE Trans. on Device and Materials Reliability, vol. 18, no. 3, pp. 337-349, Sept. 2018.

[9] K. Takeda, Y. Aimoto, N. Nakamura, H. Toyoshima, T. Iwasaki, K. Noda, et al., "*A 16 Mb 400 MHz loadless CMOS four-transistor SRAM macro*", IEEE Journal of Solid-State Circuits, vol 35, no. 11, pp. 1631-1640, 2000.

[10] K. Noda, K. Matsui, K. Takeda, N. Nakamura, "*A loadless CMOS four-transistor SRAM cell in a 0.18-/spl mu/m logic technology*", IEEE Transactions on Electron devices, vol. 48, no. 12, pp. 2851-2855, 2001.

[11] I. Carlson, S. Andersson, S. Natarajan, A. Alvandpour, "*A high density, low leakage, 5T SRAM for embedded caches*", Proceedings of the IEEE/ESSCIR, pp. 215-218, Leuven, Belgium, Sept. Sept. 2004.

[12] A. Pavlov, M. Sachdev, "*CMOS SRAM circuit design and parametric test in nano-scaled technologies: process-aware SRAM design and test*", vol. 40, Springer Science & Business Media, Switzerland, 2008.

[13] R. E. Aly, M. A. Bayoumi, "*Low-power cache design using 7T SRAM cell*", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 54, no. 4, pp. 318-322, 2007.

[14] J. Singh, S. P. Mohanty, D. K. Pradhan, "*Robust SRAM designs and analysis*", Springer Science & Business Media, Switzerland, 2012.

[15] J. P. Kulkarni, K. Kim, K. Roy, "*A 160 mV robust Schmitt trigger based subthreshold SRAM*", IEEE Journal of Solid-State Circuits, vol. 42, no. 10, pp. 2303-2313, 2007.

[16] L. Wen, X. Cheng, K. Zhou, S. Tian, X. Zeng, "*Bit-interleaving-enabled 8T SRAM with shared data-aware write and reference-based sense amplifier*", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 63, no. 7, pp. 643-647, 2016.

[17] Z. Liu, V. Kursun, "*Characterization of a novel nine-transistor SRAM cell*", IEEE transactions on very large scale integration (VLSI) systems, vol. 16, no. 4, pp. 488-492, 2008.

[18] B. H. Calhoun, A. P. Chandrakasan, "*A 256-kb 65-nm sub-threshold SRAM design for ultra-low-voltage operation*", IEEE Journal of Solid-State Circuits, vol. 42, no. 3, pp. 680-688, 2007.

[19] K. Eshraghian, O. Kavehei, K.-R. Cho, J. M. Chappell, A. Iqbal, S. F. Al-Sarawi, et al., "*Memristive device fundamentals and modeling: Applications to circuits and systems simulation*", Proceedings of the IEEE, vol. 100, no. 6, pp. 1991-2007, 2012.

[20] G. Papandroulidakis, A. Serb, A. Khiat, G. V. Merrett, T. Prodromakis, "*Practical implementation of memristor-based threshold logic gates*", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 66, no. 8, pp. 3041-3051, Aug. 2019.

[21] I. Vourkas, G. C. Sirakoulis, "*Memristor-based nanoelec tronic computing circuits and architectures*", vol. 19: Springer, Switzerland, 2016.

[22] I. Vourkas, G. C. Sirakoulis, "*A novel design and modeling paradigm for memristor-based crossbar circuits*", IEEE Trans. on Nanotechnology, vol. 11, no. 6, pp. 1151-1159, Nov. 2012.

[23] S. Kvatinsky, E. G. Friedman, A. Kolodny, U. C. Weiser, "*The desired memristor for circuit designers*", IEEE Circuits and Systems Magazine, vol. 13, no.2, pp. 17-22, 2013.

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]

[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

[24] K. Da Xu, Y. H. Zhang, L. Wang, M. Q. Yuan, Y. Fan, W. T. Joines, et al., "*Two memristor SPICE models and their applications in microwave devices*", IEEE Transactions on Nanotechnology, vol. 13, no 3, pp. 607-616, 2014.

[25] N. S. Soliman, M. E. Fouda, A. G. Radwan, "*Memristor-CNTFET based ternary logic gates*", Microelectronics journal, vol. 72, pp. 74-85, 2018.

[26] Z. Lin, Y. Wang, C. Peng, X. Wu, X. Li, J. Chen, "*Multiple sharing 7T1R nonvolatile SRAM with an improved read/write margin and reliable restore yield*", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 28, no. 3, pp. 607-619, March 2020.

[27] S. Kannan, N. Karimi, O. Sinanoglu, R. Karri, "*Security vulnerabilities of emerging nonvolatile main memories and countermeasures*", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 1, pp. 2-15, Jan. 2015.

[28] J. Singh, B. Raj, " *Design and investigation of 7T2M-NVSRAM with enhanced stability and temperature impact on store/restore energy*", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 27, no 6, pp. 1322-1328, 2019.

[29] S. S. Sarwar, S. A. N. Saqueb, F. Quaiyum, A. H.-U. Rashid, "*Memristor-based nonvolatile random access memory: Hybrid architecture for low power compact memory design*", IEEE Access, vol. 1, pp. 29-34, 2013.

[30] D. Biolek, M. Di Ventra, Y. V. Pershin, "*Reliable SPICE simulations of memristors, memcapacitors and meminductors*", arXiv preprint arXiv: 1307.2717, 2013.

[31] J. Secco, F. Corinto, A. Sebastian, "*Flux–charge memristor model for phase change memory*", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 65, no. 1, pp. 111-114, 2017.

[32] D. Biolek, V. Biolkova, Z. Kolka, "*Modified MIM model of titanium dioxide memristor for reliable simulations in SPICE*", Proceeding of the IEEE/SMACD, pp. 1-4, Giardini Naxos, 2017.

[33] W. Wei, K. Namba, J. Han, F. Lombardi, "*Design of a nonvolatile 7T1R SRAM cell for instant-on operation*", IEEE Transactions on Nanotechnology, vol. 13, no. 5, pp. 905-916, 2014.

[34] M. Elshamy, H. Mostafa, Y. H. Ghallab, M. S. Said, "*A novel nondestructive read/write circuit for memristor-based memory arrays*", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 23, no. 11, pp. 2648-2656, 2014.

[35] V. Saminathan, K. Paramasivam, "*Design and Analysis of Low Power Hybrid Memristor-CMOS Based Distinct Binary Logic Nonvolatile SRAM Cell*", Circuits and Systems, vol. 7, no. 3, p. 119-127, 2016.

زیرنویس‌ها:

1. Static Random Access Memory
2. Static Noise Margin
3. Adaptive Linear Neuron
4. Hard Disk

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]

[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020

Design and Analysis of 2 Memristor-Based Nonvolatile SRAM Cells

Ali Rezaei[1,3], Sayed Mohammad Ali Zanjani[2,3*]

1- Ms.C.- Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran
2- Assistant Professor- Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran
3- Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran

Abstract: In microelectronic applications, the enhancement and scaling to the nanometer technology has caused the SRAM memories to be used as one of the basic and essential components in wireless communications in high performance server processors, multimedia applications and Systems On-Chip (SoC). In the recent years, different SRAM cells have been designed and the 6T-SRAM structure is the most commonly used. However, the supply voltage variations and disconnection may eliminate the stored data. The Memristor is invented as one of the mostly used nano-devices, it can solve the problem due to the fast switching speed, high endurance and data retention, low power consumption, high integration density and CMOS compatibility. In this thesis, two novels high-performance non-volatile SRAM cell using the CMOS-Memristor technique for SRAM memory array are proposed. In the first design, SRAM has eight MOSFETs and two Memristors (8T2M-SRAM) and in the second design, SRAM has nine MOSFETs and two Memristors (9T2M-SRAM). The proposed SRAM cells are designed using 0.18µm CMOS TSMC Technology at 1.8v supply voltage. The design strategy is to reduce the power consumption, improve the Static Noise Margin (SNM) in the design of the non-volatile SRAM cell over the previous cell. The results show, write '0' and write '1' dynamic power consumption the 8T2MSRAM cell has a 10% improvement over the 6T-SRAM. Also, there is a 54% improvement in the dynamic power consumption the 9T2M-SRAM cell in the read '0' mode and a 71% improvement in the read '1' mode. It is worth noting that the simulations are performed in HSPICE.

Keywords: 8T2M-SRAM, 9T2M-SRAM, Memristor, Non-Volatile, Low-Power, Stable, High-Speed.

[Downloaded from jeps.dezful.iau.ir on 2025-07-09]

[DOR: 20.1001.1.23222468.1399.9.2.6.6]
Journal of Novel Researches on Electrical Power - Vol. 9-No.2 Summer 2020